

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-122599

(43)Date of publication of application : 28.04.2000

(51)Int.Cl.

G09G 3/22

G09G 3/20

G09G 3/30

(21)Application number : 10-291783

(71)Applicant : VICTOR CO OF JAPAN LTD

(22)Date of filing : 14.10.1998

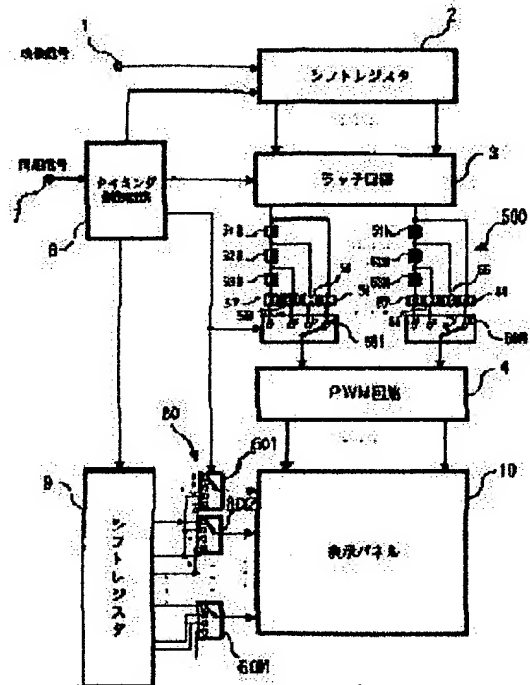
(72)Inventor : AIBA HIDEKI

(54) DRIVE CIRCUIT OF MATRIX TYPE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a drive circuit of a matrix type display device preventing luminance deterioration due to saturation of a phosphor without increasing a frequency of a clock.

SOLUTION: Respective rows of a cell on a display panel 10 are dispersed to display periods of (n) times in one field by a data polyphase circuit 500 and a scan polyphase circuit 60 to scan them, and other rows are scanned in a non-display period between (n) times of display periods. The number of gradation of the data displayed in (n) times of display periods are reduced respectively by quantization circuits 54-57.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51)Int.Cl.	識別記号	F I	特マコード(参考)
G 0 9 G 3/22		G 0 9 G 3/22	E 5 C 0 8 0
3/20	6 2 3	3/20	6 2 3 U
	6 4 1		6 4 1 A
3/30		3/30	J

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21)出願番号 特願平10-291783

(22)出願日 平成10年10月14日(1998. 10. 14)

(71)出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72)発明者 相羽 英樹

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

Fターム(参考) 5C080 AA06 AA08 AA18 BB05 DD03

EE29 FF12 GG12 JJ02 JJ04

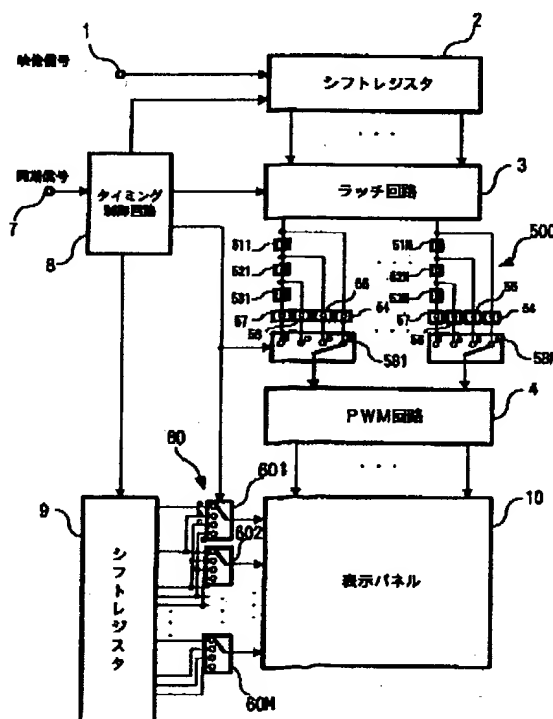
JJ05 JJ06

(54)【発明の名称】 マトリクス型表示装置の駆動回路

(57)【要約】

【課題】 クロックの周波数を高くすることなく、蛍光体の飽和による輝度低下を防止することができるマトリクス型表示装置の駆動回路を提供する。

【解決手段】 データ多相化回路500とスキャン多相化回路60とによって、表示パネル10におけるセルのそれぞれの行を、1フィールドでn回の表示期間に分散させて走査し、n回の表示期間の間の非表示期間に、他の行を走査するようにする。n回の表示期間で表示するデータの階調数を、量子化回路54～57によってそれぞれ低減させる。



【特許請求の範囲】

【請求項1】複数の行及び複数の列によってセルがマトリクス状に配置された表示パネルを有し、前記セルを1行単位で走査して所定の階調数を有するデータを表示するようにし、かつ、複数の行における表示期間が互いに重なり合わないように表示するマトリクス型表示装置の駆動回路において、

前記セルのそれぞれの行を、1フィールドで n 回（但し、 n は2以上の整数）の表示期間に分散させて走査する手段と、

前記 n 回の表示期間に分散させて走査する際のそれぞれの表示期間におけるデータの階調数を、 m 種類（但し、 m は2以上 n 以下の整数）の量子化方法によって前記所定の階調数よりも低減させる手段とを備えて構成したことを特徴とするマトリクス型表示装置の駆動回路。

【請求項2】前記それぞれの表示期間で表示するデータの階調の合計を、前記セルの1行で表示するデータの階調に一致させたことを特徴とする請求項1記載のマトリクス型表示装置の駆動回路。

【請求項3】前記 n 回の表示期間の間の非表示期間に、1行以上の他の行を走査する手段を備えて構成したことを特徴とする請求項1または2のいずれかに記載のマトリクス型表示装置の駆動回路。

【請求項4】前記 n 回の表示期間に分散させて走査する手段は、

映像信号を1行以上遅延させる遅延手段と、

前記映像信号と前記遅延手段による遅延後の映像信号とを1フィールド内に切り替える切り替え手段とよりなることを特徴とする請求項1ないし3のいずれかに記載のマトリクス型表示装置の駆動回路。

【請求項5】前記1行以上の他の行を走査する手段は、前記表示パネルを走査する行を切り替える切り替え手段であることを特徴とする請求項3に記載のマトリクス型表示装置の駆動回路。

【請求項6】前記表示期間の階調表現を、パルス幅変調によって行うことを特徴とする請求項1ないし5のいずれかに記載のマトリクス型表示装置の駆動回路。

【請求項7】前記セルの1行における表示期間は、ほぼ等分割されて前記 n 回の表示期間とされていることを特徴とする請求項1ないし6のいずれかに記載のマトリクス型表示装置の駆動回路。

【請求項8】前記マトリクス型表示装置は、フィールドエミッション表示装置もしくはエレクトロルミネセンス表示装置であることを特徴とする請求項1ないし7のいずれかに記載のマトリクス型表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、冷陰極電子放出素子等の電子放出源を用いた表示装置（いわゆるフィールドエミッション表示装置）やエレクトロルミネセンス

（以下、ELと略記する）表示装置等のマトリクス型表示装置の駆動回路に関する。

【0002】

【従来の技術】マトリクス型表示装置としては、冷陰極電子放出素子を用いたフィールドエミッション表示装置やEL表示装置等の1行同時表示型の表示装置が知られている。1行同時表示型の表示装置では、1行単位で同時に表示が行われ、一般的には上から下へ線順次走査され、各行の表示は走査期間中において全列同時に行われる。

【0003】さらに詳細には、1行同時表示型とは、ある任意の行の表示が行われている際には、他行の表示が行われない表示装置のことである。例えば、プラズマディスプレイパネルやTFT液晶表示装置等は線順次駆動を行っているが、セル毎にメモリ機能を有し、複数行の表示が同時に行われるので、この範疇ではない。但し、表示装置が複数の配線ブロックに完全に分割されている場合は、各ブロック内で複数行の同時表示期間がなければ1行同時表示型の表示装置である。

【0004】図5は従来の1行同時表示型であるマトリクス型表示装置の駆動回路を示すブロック図である。図5において、表示パネル10は例えば冷陰極電子放出素子を用いた表示パネルであり、一例として図6に示すように、走査電極 $L_1 \sim L_M$ に接続された複数の行配線と、データ電極 $D_1 \sim D_N$ に接続された複数の列配線とによって、画素を構成するセル10sがマトリクス状に配置されている。なお、セル10sは、電子放出源である電子放出素子と、この電子放出素子からの電子照射を受ける蛍光体とで構成される。

【0005】端子1に入力された映像信号は、シフトレジスタ2に書き込まれる。シフトレジスタ2において1行分のデータが書き込まれた後、ラッチ回路3によってラッチされ、パルス幅変調（PWM）回路4にデータが入力される。PWM回路は、データの大小に応じたパルスを表示パネル10のデータ電極 $D_1 \sim D_N$ に入力する。

【0006】また、端子7に入力された同期信号は、タイミング制御回路8に入力される。タイミング制御回路8はシフトレジスタ2にシフトクロックを供給し、ラッチ回路3にラッチクロックを供給する。タイミング制御回路8は、また、シフトレジスタ9に1ライン幅のパルスを供給する。シフトレジスタ9はそのパルスを表示パネル10の走査電極 $L_1 \sim L_M$ にスキャンパルスとして1行目から順次入力する。

【0007】さらに、図5に示すマトリクス型表示装置を駆動する場合の動作について詳細に説明する。上記のように、表示パネル10の走査電極 $L_1 \sim L_M$ には、順次、シフトレジスタ9によってスキャンパルスが印加される。また、表示パネル10のデータ電極 $D_1 \sim D_N$ には、PWM回路によって、選択されたラインに対応した

データに応じてパルス幅 (PWM) 変調されたパルスが印加される。

【0008】即ち、 i 行 j 列のデータに対しては、走査電極 L_i が選択されている期間にデータ電極 D_j に電圧を印加する。階調は、データ電極 $D_1 \sim D_N$ に印加するパルスの印加時間 (パルス幅) で表現される。

【0009】ここで、PWM回路4は例えば図7に示すように構成される。PWM回路4は、ダウカウンタ41とORゲート42とよりなる。ラッチ回路3より出力された被変調データはダウカウンタ41のデータ端子 P7 (MSB) \sim P0 (LSB) に入力される。このデータは、1 走査期間の始めにLD端子に入力されるロード信号によってダウカウンタ41にロードされる。EN端子がハイ (H) レベルのとき、ダウカウンタ41が動作し、データ出力端子Q7 (MSB) \sim Q0 (LSB) がクロック単位でダウする。

【0010】データ出力端子Q7 \sim Q0より出力されたデータは、ORゲート42に入力される。端子Q7 \sim Q0のいずれかのビットがHレベルのとき、ORゲート42はHレベルを出力し、ダウカウンタ41のEN端子がHレベルとなる。端子Q7 \sim Q0の全ビットがロー (L) レベルLのとき、即ち、データが0のとき、ORゲート42はLレベルを出力し、ダウカウンタ41のEN端子はLレベルとなり、ダウカウンタ41の動作が止まる。

【0011】図8は、一例として、信号データとして128が入力された場合のタイミングを示している。LD端子にHレベルが入力されて、信号データの128がロードされる。その後、端子Q7 \sim Q0出力は127、126、 \dots とクロック単位でダウしていき、0になるまでダウカウントが続く。この場合、EN端子がHレベルになっている期間は、128からスタートして0になる前までの128クロック周期である。即ち、このORゲート42の出力そのものがPWM変調された出力信号である。マトリクス型表示装置における階調表現は、PWM変調された信号をデータ電極 $D_1 \sim D_N$ に印加することによって行われる。

【0012】図9は、一例として j 列を表示する際の動作を示す波形図であり、走査電極に印加するスキャンパルスと、データ電極に印加するパルスとを示している。ここでは、映像信号のビット数を8ビットとし、完全な黒は0、完全な白は255として表現されており、 i 行 j 列は黒 (0)、 $i+1$ 行 j 列はグレー (128)、 $i+2$ 行 j 列は白 (255) である場合について示している。1 水平走査期間は255単位で構成されている。単位時間はクロック周期であり、単位時間を T で表すこととする。階調表現は、データ電極 $D_1 \sim D_N$ に印加するパルスのパルス幅を、 $0T \sim 255T$ で変化させることによって行われる。

【0013】図9に示すように、 i 行の水平走査期間H

0において、 i 行の走査電極 L_i には電圧 $-V_s$ がかけられており、その他の走査電極には電圧がかかっていない。このとき、 i 行 j 列での表示が黒であるため、 j 列のデータ電極 D_j は常に0電位である。

【0014】次に、 $i+1$ 行の水平走査期間H1においては、 $i+1$ 行の走査電極 L_{i+1} には電圧 $-V_s$ がかけられており、その他の走査電極には電圧がかかっていない。このとき、 $i+1$ 行 j 列での表示がグレーであるため、 j 列のデータ電極 D_j には水平走査期間H1 (255T) の約半分の期間 (128T) だけ電圧 $+V_d$ がかかり、その後の約半分の期間は0電位となる。さらに、 $i+2$ 行の水平走査期間H2においては、 $i+2$ 行の走査電極 L_{i+2} は電圧 $-V_s$ がかけられており、その他の走査電極には電圧がかかっていない。このとき、 $i+2$ 行 j 列での表示が白であるため、 j 列のデータ電極 D_j には水平走査期間H2の全期間 (255T) において電圧 $+V_d$ がかけられている。

【0015】ところで、冷陰極電子放出素子を用いた表示パネル10の場合は、電子放出素子が電子放出するためのしきい値を有している。そして、走査電極 $L_1 \sim L_M$ にかかる電圧とデータ電極 $D_1 \sim D_N$ にかかる電圧との差がしきい値以上で表示状態となり、それ以下では非表示状態となる。この例では、電圧 V_d と電圧 V_s はいずれもしきい値 V_{th} より小さく、電圧 ($V_d + V_s$) はしきい値 V_{th} より大きく設定する。即ち、データ電極 $D_1 \sim D_N$ と走査電極 $L_1 \sim L_M$ の内の一の方のみの電圧印加だけでは発光は起こらず、両方に印加された場合にのみ発光する。

【0016】ここでは、1行から $i+2$ 行目までの表示過程についてのみ説明したが、実際には、表示パネル10の走査電極 $L_1 \sim L_M$ には、1行から M 行まで順次、スキャンパルスが印加され、この走査タイミングに合わせて、データ電極 $D_1 \sim D_N$ にPWM変調されたパルスが印加される。なお、有効画素が480行 \times 640列の表示の場合には、走査電極が480本、データ電極が640本存在し、RGBストライプ構造のカラー表示の場合には1920本のデータ電極が存在する。

【0017】以上のような構成及び動作により、1フィールド内での各行の表示タイミングは、図10に示すようになる。なお、ここでは、走査電極が480行の場合であり、太実線の部分が表示期間となっている。図10に示すように、1フィールド内で1行目から480行目まで順次に表示が行われる。

【0018】このような1行同時表示型のマトリクス型表示装置においては、各行において1フィールド中で1水平走査期間だけに表示が集中する。このため、連続電子放出に起因して電子放出素子や蛍光体 (即ち、セル10s) に経時変化 (焼き付き) が起きる。また、蛍光体の飽和現象によって、パルス幅 (発光時間) と輝度 (発光強度) とが比例関係にならず、図11に示すように、

緩やかなガンマ特性を有することにより、輝度の効率低下を生じる。なお、パルス幅を x 、発光強度を y とすると、図11に示す特性は $y=x^r$ と表すことができ、 $0 < r < 1$ で、通常、 $0.7 < r < 0.9$ 程度である。

【0019】蛍光体の発光は、蛍光体中に存在する電子が、電子ビームの照射によってより高い準位に励起した後、元の準位に戻る際に差のエネルギーが可視光として放出するものである。蛍光体の励起状態が回復する前に次々と電子が照射してくると、照射される電子量に対する可視光の放出する割合が減少する。これを蛍光体の飽和という。蛍光体の飽和現象によって図11に示すようなガンマ特性を有するという事は、パルス幅が2倍になっても輝度が2倍にはならないということであり、従来のマトリクス型表示装置では、この輝度低下が問題であった。

【0020】この問題点を解決するため、本出願人は、特願平9-251297号及び特願平10-71307号により、PWM変調されたパルス幅が複数の行にまたがるように等分割することによって、表示パネル10におけるセル10sそれぞれの行を、1フィールドで複数回の表示期間に分散させて走査する駆動方法を提案した。

【0021】

【発明が解決しようとする課題】表示パネル10の行を複数回の表示期間に分散させて走査する駆動方法を用いると、同じ階調数を保つためにはPWM変調の単位時間を短くしなければならない。1行を2回の表示期間に分散させると、PWM変調の単位時間を半分に、1行を4回の表示期間に分散させると、PWM変調の単位時間を $1/4$ にしなければならない。即ち、分散させる数に応じてクロックの周波数を高くする必要がある。クロックの周波数を高くすると、回路の消費電力が増えるので、クロックの周波数を高くすることはあまり好ましいことではない。

【0022】本発明はこのような問題点に鑑みなされたものであり、クロックの周波数を高くすることなく、蛍光体の飽和による輝度低下を防止することができ、また、セルの経時変化を少なくすることができるマトリクス型表示装置の駆動回路を提供することを目的とする。

【0023】

【課題を解決するための手段】本発明は、上述した従来の技術の課題を解決するため、複数の行及び複数の列によってセルがマトリクス状に配置された表示パネルを有し、前記セルを1行単位で走査して所定の階調数を有するデータを表示するようにし、かつ、複数の行における表示期間が互いに重なり合わないように表示するマトリクス型表示装置の駆動回路において、前記セルのそれぞれの行を、1フィールドで n 回（但し、 n は2以上の整数）の表示期間に分散させて走査する手段と、前記 n 回の表示期間それぞれで走査する際のデータの階調数を、

m 種類（但し、 m は2以上 n 以下の整数）の量子化方法によって前記所定の階調数よりも低減させる手段とを備えて構成したことを特徴とするマトリクス型表示装置の駆動回路を提供するものである。

【0024】

【発明の実施の形態】以下、本発明のマトリクス型表示装置の駆動回路について、添付図面を参照して説明する。図1は本発明のマトリクス型表示装置の駆動回路の一実施例を示すブロック図、図2は本発明のマトリクス型表示装置の動作を説明するための波形図、図3は本発明のマトリクス型表示装置の駆動回路による表示タイミングを説明するための図、図4は図1中のデータ多相化回路500の具体的構成例を示すブロック図である。なお、図1において、図5と同一部分には同一符号が付してある。

【0025】図1において、表示パネル10は例えば冷陰極電子放出素子を用いた表示パネルであり、その具体的構成は図6を用いて説明した通りである。端子1に入力された映像信号は、シフトレジスタ2に書き込まれる。シフトレジスタ2において1行分のデータが書き込まれた後、ラッチ回路3によってラッチされる。ラッチ回路3より出力されたデータは、データ多相化回路500に入力される。本実施例では、データ多相化回路500は、一例として、データを4相化する。

【0026】データ多相化回路500は、表示パネル10のデータ電極の数に応じて設けられた3段のDフリップフロップ（以下、DFFと略記する）511、521、531～51N、52N、53Nと、ラッチ回路3の出力とDFF51i、52i、53i（ $i=1\sim N$ ）の出力がそれぞれ入力される4つの量子化回路54～57と、同じく表示パネル10のデータ電極の数に応じて設けられた接点a～dなる4接点のスイッチ581～58Nとより構成される。

【0027】スイッチ581～58Nには、それぞれ量子化回路54～57の出力が入力される。そして、スイッチ581～58Nは、これらを選択的に出力するようになっている。なお、量子化回路54～57は、後に詳述するように、入力されたデータを複数種類の量子化方法によって量子化して出力する。データ多相化回路500より出力されたデータは、PWM回路4に入力される。PWM回路4は、データの大小に応じてPWM変調されたパルスを表示パネル10のデータ電極D1～DNに入力する。ここでは、PWM回路4は、0～64の65階調分のパルス幅のパルスを発生する。

【0028】また、端子7に入力された同期信号は、タイミング制御回路8に入力される。タイミング制御回路8はシフトレジスタ2にシフトクロックを供給し、ラッチ回路3にラッチクロックを供給する。タイミング制御回路8は、また、シフトレジスタ9に1ライン幅のパルスを供給する。シフトレジスタ9はそのパルスを本発明

によりスキャン多相化回路60に入力する。スキャン多相化回路60は後述するように入力されたパルスを多相化し、そのパルスをスキャンパルスとして表示パネル10の走査電極L1~LMに入力する。本実施例では、スキャン多相化回路60は、一例として、スキャンパルスを4相化する。従って、表示パネル10に供給されるスキャンパルスは、シフトレジスタ9より出力される1ライン幅のパルスを4分割したものとなる。

【0029】スキャン多相化回路60は、表示パネル10の走査電極の数に応じて設けられた接点a~dなる4接点のスイッチ601~60Mより構成される。スイッチ601~60Mにはそれぞれシフトレジスタ9の隣接する4つの出力が入力され、これらを選択的に出力するようになっている。従って、シフトレジスタ9の出力端子の段数は従来の図5より3段多くなる。即ち、M行であれば、M+3段となる。スイッチ601~60Mより出力されたスキャンパルスは、表示パネル10の走査電極L1~LMに入力される。タイミング制御回路8は、さらに、データ多相化回路50のスイッチ581~58N及びスキャン多相化回路60のスイッチ601~60Mを切り替えるよう制御する。

【0030】ここで、図1に示す駆動回路の動作を図2を用いて詳細に説明する。図2においても、一例としてj列を表示する際の動作を示しており、走査電極に印加するスキャンパルスと、データ電極に印加するパルスとを示している。ここでは、映像信号のデータが、i-3行j列は64、i-2行j列は0、i-1行j列は255、1行j列は127、i+1行j列は0、i+2行j列は128、i+3行j列は255である場合について示している。

【0031】シフトレジスタ9がi番目の端子からスキャンパルスを出力しているとき、ラッチ回路3からは1行目の全データが同時に出力されている。このとき、タイミング制御回路8からの制御信号によって、データ多相化回路500及びスキャン多相化回路60の各スイッチ581~58N、601~60Mは、水平走査期間H0の最初の1/4の期間H0aでは接点aに接続し、次の1/4の期間H0bでは接点bに接続し、さらにその次の1/4の期間H0cでは接点cに接続し、最後の1/4の期間H0dでは接点dに接続するよう制御される。

【0032】スイッチ581~58N、601~60Mが接点aに接続している水平走査期間H0の最初の1/4の期間H0aでは、データ多相化回路500は量子化回路54からのデータを出力するので、1行目のデータがPWM回路4に入力されることになる。また、シフトレジスタ9のi番目の端子からのスキャンパルスが表示パネル10のi行目の走査電極Liに印加されることになる。このとき、量子化回路54は、ラッチ回路3より入力された8ビットのデータの下位2ビットを切り捨て

てPWM回路4に入力する。

【0033】スイッチ581~58N、601~60Mが接点bに接続している水平走査期間H0の次の1/4の期間H0bでは、データ多相化回路500は量子化回路55からのデータを出力するので、i-1行目のデータがPWM回路4に入力されることになる。また、シフトレジスタ9のi番目の端子からのスキャンパルスは表示パネル10のi-1行目の走査電極Li-1に印加されることになる。このとき、量子化回路55は、DFF51i(i=1~N)より入力された8ビットのデータの内、下位2ビットが共に1(2進表現で{11})のとき下位2ビットを切り上げ、それ以外のとき下位2ビットを切り捨ててPWM回路4に入力する。

【0034】スイッチ581~58N、601~60Mが接点cに接続している水平走査期間H0のさらに次の1/4の期間H0cでは、データ多相化回路500は量子化回路56からのデータを出力するので、i-2行目のデータがPWM回路4に入力されることになる。また、シフトレジスタ9のi番目の端子からのスキャンパルスは表示パネル10のi-2行目の走査電極Li-2に印加されることになる。このとき、量子化回路56は、DFF52i(i=1~N)より入力された8ビットのデータの内、下位2ビットが2進表現で{11}もしくは{10}のとき下位2ビットを切り上げ、それ以外のとき下位2ビットを切り捨ててPWM回路4に入力する。

【0035】スイッチ581~58N、601~60Mが接点dに接続している水平走査期間H0の最後の1/4の期間H0dでは、データ多相化回路500は量子化回路57からのデータを出力するので、i-3行目のデータがPWM回路4に入力されることになる。また、シフトレジスタ9のi番目の端子からのスキャンパルスは表示パネル10のi-3行目の走査電極Li-3に印加されることになる。このとき、量子化回路57は、DFF52i(i=1~N)より入力された8ビットのデータの内、下位2ビットが2進表現で{11}、{10}、{01}のとき下位2ビットを切り上げ、それ以外のとき下位2ビットを切り捨ててPWM回路4に入力する。

【0036】即ち、1水平走査期間H0の最初の1/4の期間H0aでは、下位2ビットが切り捨てられたデータによって、表示パネル10のi行目のスキャンが行われる。次の1/4の期間H0bでは、下位2ビットが{11}のときだけ切り上げられ、それ以外では下位2ビットが切り捨てられたデータによって、表示パネル10のi-1行目のスキャンが行われる。さらに次の1/4の期間H0cでは、下位2ビットが{11}、{10}のとき切り上げられ、それ以外では下位2ビットが切り捨てられたデータによって、表示パネル10のi-2行目のスキャンが行われる。最後の1/4の期間H0

dでは、下位2ビットが{11}, {10}, {01}のとき切り上げられ、それ以外では下位2ビットが切り捨てられたデータによって、 $i-3$ 行目のスキャンが行われることになる。これらのデータは0~64の65階調であり、この階調数がPWM回路4が発生するパルスによって表現される。

【0037】そして、次の水平走査期間H1では、シフトレジスタ9において $i+1$ 番目の端子にスキャンが移り、ラッチ回路3からは $i+1$ 行目のデータが出力される。ここでも、タイミング制御回路8からの制御信号によって、データ多相化回路500及びスキャン多相化回路60の各スイッチ581~58N, 601~60Mは、水平走査期間H1の最初の1/4の期間H1aでは接点aに接続し、次の1/4の期間H1bでは接点bに接続し、さらにその次の1/4の期間H1cでは接点cに接続し、最後の1/4の期間H1dでは接点dに接続するよう制御される。

【0038】スイッチ581~58N, 601~60Mが接点aに接続している水平走査期間H1の最初の1/4の期間H1aでは、データ多相化回路500は量子化回路54からのデータを出力するので、上記のように量子化された $i+1$ 行目のデータがPWM回路4に入力されることになる。また、シフトレジスタ9の $i+1$ 番目の端子からのスキャンパルスが表示パネル10の $i+1$ 行目の走査電極L($i+1$)に印加されることになる。

【0039】スイッチ581~58N, 601~60Mが接点bに接続している水平走査期間H1の次の1/4の期間H1bでは、データ多相化回路500は量子化回路55からのデータを出力するので、上記のように量子化された i 行目のデータがPWM回路4に入力されることになる。また、シフトレジスタ9の $i+1$ 番目の端子からのスキャンパルスは表示パネル10の i 行目の走査電極L i に印加されることになる。

【0040】スイッチ581~58N, 601~60Mが接点cに接続している水平走査期間H1のさらに次の1/4の期間H1cでは、データ多相化回路500は量子化回路56からのデータを出力するので、上記のように量子化された $i-1$ 行目のデータがPWM回路4に入力されることになる。また、シフトレジスタ9の $i+1$ 番目の端子からのスキャンパルスは表示パネル10の $i-1$ 行目の走査電極L($i-1$)に印加されることになる。

【0041】スイッチ581~58N, 601~60Mが接点dに接続している水平走査期間H1の最後の1/4の期間H1dでは、データ多相化回路500は量子化回路57からのデータを出力するので、上記のように量子化された $i-2$ 行目のデータがPWM回路4に入力されることになる。また、シフトレジスタ9の $i+1$ 番目の端子からのスキャンパルスは表示パネル10の $i-2$ 行目の走査電極L($i-2$)に印加されることになる。

【0042】即ち、1水平走査期間H1の最初の1/4の期間H1aでは、下位2ビットが切り捨てられたデータによって、表示パネル10の $i+1$ 行目のスキャンが行われる。次の1/4の期間H1bでは、下位2ビットが{11}のときだけ切り上げられ、それ以外では下位2ビットが切り捨てられたデータによって、表示パネル10の i 行目のスキャンが行われる。さらに次の1/4の期間H1cでは、下位2ビットが{11}, {10}のとき切り上げられ、それ以外では下位2ビットが切り捨てられたデータによって、表示パネル10の $i-1$ 行目のスキャンが行われる。最後の1/4の期間H1dでは、下位2ビットが{11}, {10}, {01}のとき切り上げられ、それ以外では下位2ビットが切り捨てられたデータによって、 $i-2$ 行目のスキャンが行われることになる。

【0043】以下、水平走査期間H2, H3...においても順次の同様の処理が繰り返される。

【0044】このようにして、例えば i 行目の表示については、シフトレジスタ9が i 番目のスキャンを行っている水平走査期間H0の最初の1/4の期間H0aと、シフトレジスタ9が $i+1$ 番目のスキャンを行っている水平走査期間H1の2番目の1/4の期間H1bと、シフトレジスタ9が $i+2$ 番目のスキャンを行っている水平走査期間H2の3番目の1/4の期間H2cと、シフトレジスタ9が $i+3$ 番目のスキャンを行っている水平走査期間H3の最後の1/4の期間H3dとの4回で行われることになる。これらの一連の処理は、全行において同様に行われる。

【0045】以上のようにして、本発明の駆動回路によれば、表示パネル10の1つの行は、4回に分けて表示される。1水平走査期間(1H)は等分割されないこともあるが、仮に、1Hを1/4ずつに等分割したとすると、PWM回路4によるPWM変調の1回分のパルス幅は、図7と比較して1/4であり、表示パネル10の走査電極L1~LMに印加するスキャンパルスのパルス幅も、図7と比較して1/4となる。なお、100%白を表示する(8ビット表現では255のデータ)場合には、PWM回路4からのPWM変調のパルス幅は、スキャンパルス幅にほぼ等しい。

【0046】従って、100%(255)のデータが入力されたとしても、表示を4回の期間に分散させ、1回分のパルス幅を最大でも1Hの1/4とすることができるため、セル10sの焼き付き現象を減少させることができる。また、4回に分散することにより、4回の表示の間に非表示期間が設けられることになる。従って、非表示期間における休止によって蛍光体の励起状態が収まり、初期状態に回復するので、4回分のパルスで4倍の輝度を得られることになり、蛍光体の飽和による輝度低下を防止することができる。

【0047】本実施例では、表示パネル10の1つの行

を4回の表示期間に分散させて表示する例を示したが、4回に限定されることなく、2回以上の複数回であればよい。なお、水平走査期間を n 分割する場合、データ多相化回路500におけるDFF51i、52i…の段数を $n-1$ とし、スイッチ581～58Nを n 接点とし、さらに、スキャン多相化回路60スイッチ601～60Mを n 接点とする。

【0048】 n 回に分散することによる蛍光体の飽和減少の緩和は次のように説明することができる。発光強度 y がパルス幅 x の r 乗に比例するとき、 $y = x^r$ （これを(1)式と呼ぶ）である。しかし、本発明のように、パルスを n 分割し、非表示期間（休止期間）中に蛍光体が完全に回復するならば、その発光強度は、 $n \cdot (x/n)^r$ （これを(2)式と呼ぶ）となる。従って、(2)式を(1)式で割った n 分割による効果は、 $n \cdot (x/n)^r / x^r = n \cdot (1/n)^r \dots (3)$ となる。

【0049】仮に、パルス幅 x と発光強度 y との関係が0.9乗に比例するようなガンマ特性を持っているならば、4分割($n=4$)の場合、約15%の輝度増加となる。32分割($n=32$)の場合、約41%の輝度増加となる。また、0.8乗に比例する場合には、4分割表示で約32%の輝度増加となり、32分割表示で100%の輝度増加となる。なお、表示パネル10のセル10sに供給する電流は、従来と変わらないので、この輝度増加分だけ輝度の効率が增加する。なお、以上の説明から分かるように、パルスの分割はできる限り等分配であった方が効果的である。

【0050】さらに、本発明においては、量子化回路54～57によって、8ビットのデータのビット数を削減し、階調数を減少させている。量子化回路54～57

は、入力されたデータの階調数を低減する低階調化回路と称することもできる。量子化回路54～57を用いることによって、分散させた1つの表示期間では、階調数が低減するので、クロックの周波数を高くする必要はない。

【0051】上記のように、 i 行目を表示するためのデータが例えば127={01111111}であったとき、PWM回路4に与えるデータは、期間H0aでは上位6ビットであるから31={011111}となり、期間H1b、H2c、H3dでは、下位2ビットが{11}であるため切り上げられ、32={100000}となる。これらの4分割された表示を合計したパルス幅は、 $31+32+32+32=127$ となり、量子化回路54～57による量子化（低階調化）前と同一である。即ち、元の階調数は保たれている。127以外のデータにおいても、4分割されたパルス幅の合計は量子化される前のデータに一致する。

【0052】この実施例では、元々のデータが4の倍数であるときは、4つの表示期間で等分割されるが、そうでないときには、パルス幅が1だけ異なる期間がある。データが127の場合では、上記のように、期間H0aが31、それ以外が32である。蛍光体飽和の緩和を目的とするならば、完全に等分割するのが理想的であるが、本実施例のようにパルス幅の差が小さければ問題にならない。上記(2)式では等分割の場合の発光強度を示したが、等分割でない場合の一般式は次の数1に示す(4)式となる。なお、 $P(i)$ は分割したときの各パルス幅の割合であり、 $P(i)$ の総合計を1とする。

【0053】

【数1】

$$\sum_{i=0}^{n-1} (P(i) x)^r \dots (4)$$

【0054】データが127であるとき、表示期間を4つに等分割すると、上記(2)式より、

$$y = (127/4)^r \times 4$$

となる。これに対し、本実施例の場合は、上記(4)式より、

$$y = 31^r + 32^r + 32^r + 32^r$$

となる。一方、全く分割しない従来方法では、上記(1)式より、

$$y = 127^r$$

である。

【0055】 $r=0.8$ としてそれぞれ y を求めると、4つに等分割の場合では63.5997、本実施例の場合では63.5987、従来方法では48.1995となる。このように、本実施例では、従来方法と比較して

格段の改善を図ることができ、しかも、理想的な等分割と比較しても、ほとんど遜色がなく、問題がないことが分かる。

【0056】図3は、以上説明した図1の構成による1フィールド内での各行の表示タイミングである。図3に示すように、各行の表示は、1H幅の非表示期間を挟んで4分割され、この非表示期間において、この表示期間において他の4行の1/4ずつの表示が行われている。そして、分割された各期間はそれぞれ異なる量子化方法によって階調数が低減されている。分割された期間の合計では、元の階調数が保たれている。なお、図4中のQa、Qb、Qc、Qdによる量子化とは、それぞれ量子化回路54～57による量子化である。

【0057】この図4より分かるように、本発明におい

ても、複数行の表示期間が互いに重なり合うことはなく、1行単位で表示が行われている。なお、本実施例では、非表示期間を全て一定の時間としているが、一定時間に限定されることはない。

【0058】本実施例では、量子化回路54～57によって、元々のデータが0～255の256階調であるのに対し、PWM回路4に入力する時点では、0～64の65階調であり、階調数が約4分の1に減少している。従って、表示期間が4分割されても、PWM回路4が発生するパルスの単位時間（1ステップのパルス幅）はほとんど減少しない。即ち、クロックの周波数を上げる必要はない。そして、PWM回路4は、0～64までの65段階を制御範囲として切り替えればよいので、図7で説明したような、PWM回路4に用いられるダウンカウンタ41のビット数を減らすこともできる。

【0059】逆に、PWM回路4のクロックの周波数を上げることができるのであれば、元々のデータを例えば10ビットにして1024階調を表現することが可能となる。また、元々のデータを9ビットとし、クロックの周波数を2倍にしてPWM回路4の制御範囲を0～128にするような構成とすることもできる。このように、本発明では、クロックの周波数を上げることなく分割表示が可能となると共に、クロックの周波数を上げれば、階調数を増加させることが可能となる。

【0060】図1においては、便宜上、4つの量子化回路54～57を設け、これらの出力をスイッチ58i（ $i=1\sim N$ ）によって選択する構成を示したが、これらは、図4に示すような構成によって容易に実現することができる。図4において、ラッチ回路3とDF51i、52i、53iの出力は、スイッチ501の接点a～dに入力される。スイッチ502は、デジタル値で0、1、2、3（2進表現で{00}、{01}、{10}、{11}）の4種類の信号をスイッチ501と同期して選択する。

【0061】加算器503は、スイッチ501、502の出力を加算し、1/4の除算器504に入力する。除算器504は下位2ビットを切り捨てて（即ち、4で割って）、PWM回路4に入力する。

【0062】一例としてデータが127のとき、期間H0aでは、スイッチ501、502は共に接点aを選択する。このとき、加算器503の出力は $127+0=127$ となり、除算器504の出力である下位2ビットの切り捨て後は31となる。また、期間H1bでは、スイッチ501、502は共に接点bを選択し、加算器503の出力は $127+1=128$ 、除算器504の出力である下位2ビットの切り捨て後は32となる。

【0063】期間H2cでは、スイッチ501、502は共に接点cを選択し、加算器503の出力は $127+2=129$ 、除算器504の出力である下位2ビットの切り捨て後は32となる。期間H3dでは、スイッチ5

01、502は共に接点dを選択し、加算器503の出力は $127+3=130$ 、除算器504の出力である下位2ビットの切り捨て後は32となる。従って、図1による実施例の場合と全く同じ動作をする。

【0064】なお、本実施例では、1行の分割数を4とし、量子化回路54～57による量子化方法の種類も4として、分割数と量子化方法の種類を同一とした。分割数と量子化方法の種類は、必ずしも一致している必要はない。例えば、分割数を4とし、量子化回路を2種類とした場合には、クロックの周波数は量子化回路を4種類とした場合と比較して約2倍となってしまうが、量子化（低階調化）を施さない従来と比較すれば約1/2とすることができる。1行をn回（但し、nは2以上の整数）に分割するとすれば、量子化回路54～57による量子化方法は、m種類（但し、mは2以上n以下の整数）であればよい。

【0065】以上のように、本発明は、表示パネル10の走査電極L1～LMを単純に上から下へスキャンするのではなく、図3に示したように、各行毎にn回の位相に分けて表示させ、分割したそれぞれの表示期間に表示するデータの階調数を低減させることに特徴がある。なお、n回の分散表示の分散方法は多様に考えられるが、映像信号のデータを1行以上遅延させるための遅延手段と、遅延前後のデータを切り替える切り替え手段と、この切り替えに同期したタイミングで、表示パネル10の走査電極L1～LMをスキャンする行を切り替える切り替え手段とを設けることが必要である。

【0066】

【発明の効果】以上詳細に説明したように、本発明のマトリクス型表示装置の駆動回路は、セルのそれぞれの行を、1フィールドでn回の表示期間に分散させて走査する手段と、そのn回の表示期間それぞれで走査する際のデータの階調数を、m種類（但し、mは2以上n以下の整数）の量子化方法によって低減させる手段とを備えて構成したので、クロックの周波数を高くすることなく、蛍光体の飽和による輝度低下を防止することができ、発光効率がよくなる。また、セルの経時変化を少なくすることができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】本発明の動作を説明するための波形図である。

【図3】本発明による表示タイミングを説明するための図である。

【図4】図1中のデータ多相化回路500の具体的構成例を示すブロック図である。

【図5】従来例を示すブロック図である。

【図6】マトリクス型表示装置の表示パネルの構成を示す図である。

【図7】図1、図5中のPWM回路4の構成例を示すブロック図である。

【図8】図7の動作を説明するための波形図である。

【図9】従来例の動作を説明するための波形図である。

【図10】従来例による表示タイミングを説明するための図である。

【図11】従来例によるパルス幅と発光強度との関係を示す図である。

【符号の説明】

- 1, 7 端子
- 2 シフトレジスタ
- 3 ラッチ回路
- 4 パルス幅変調回路

8 タイミング制御回路

9 シフトレジスタ

10 表示パネル

54~57 量子化回路

60 スキャン多相化回路

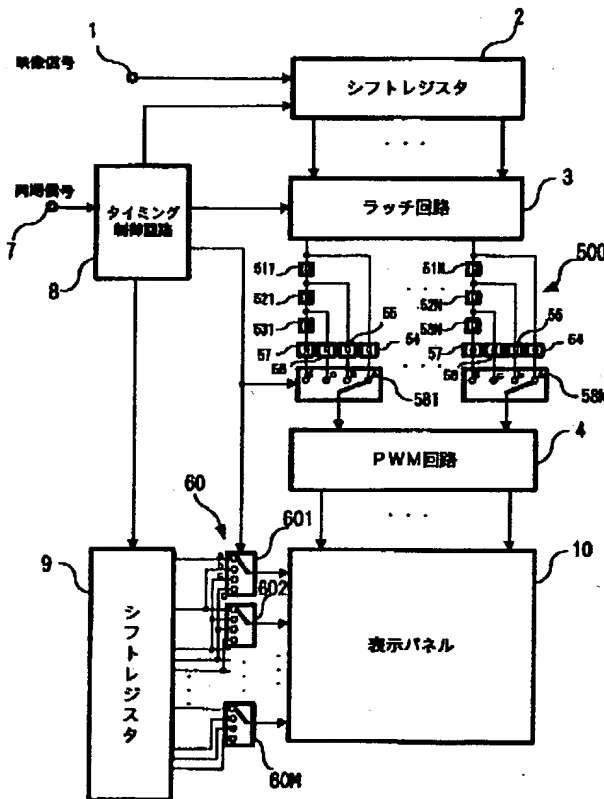
500 データ多相化回路

511, 521, 531~51N, 52N, 53N D
フリップフロップ (遅延手段)

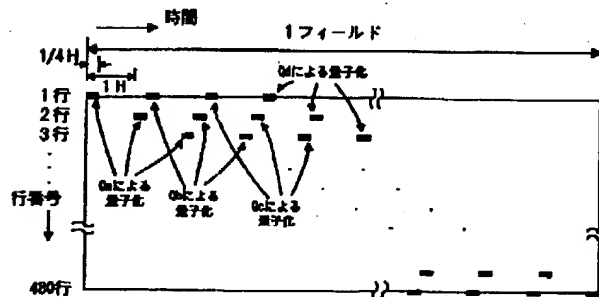
581~58N, 601~60M スイッチ (切り替え
手段)

10 手段)

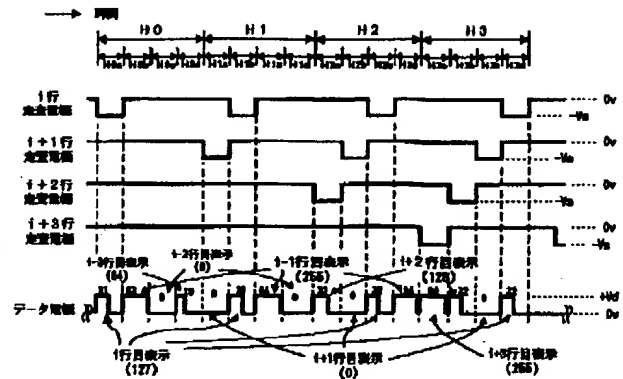
【図1】



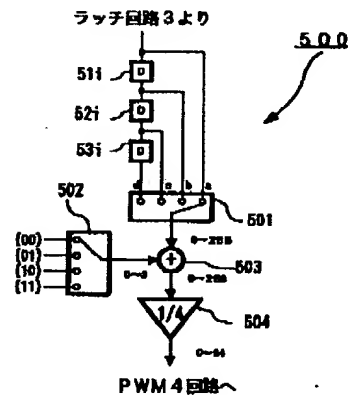
【図3】



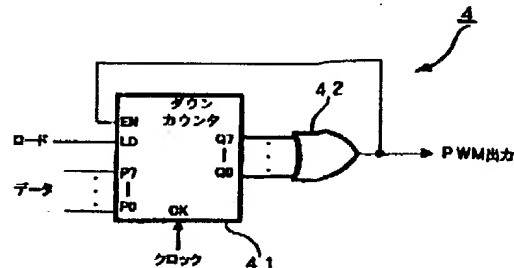
【図2】



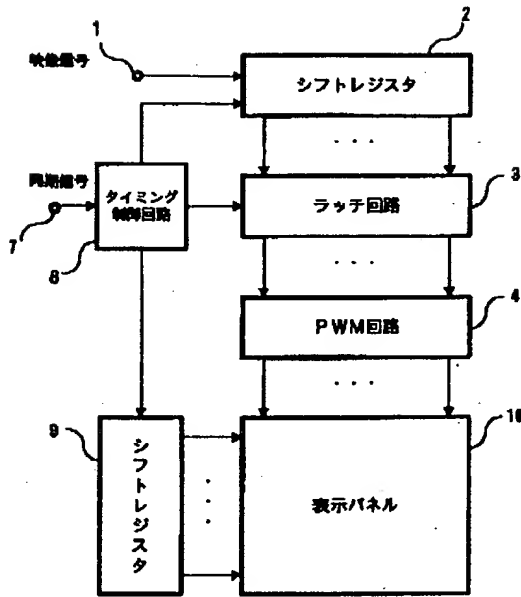
【図4】



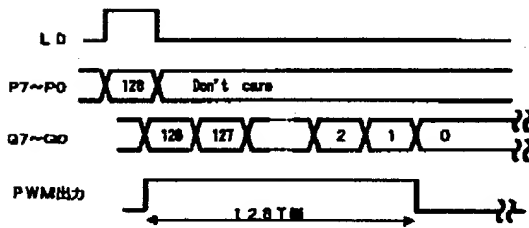
【図7】



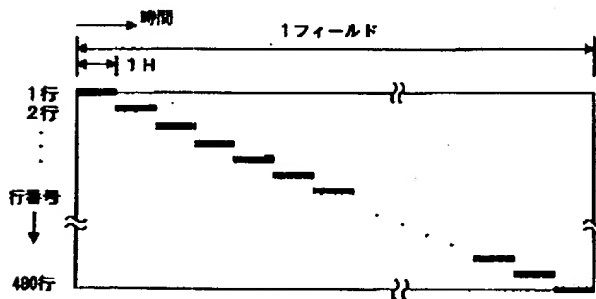
【図5】



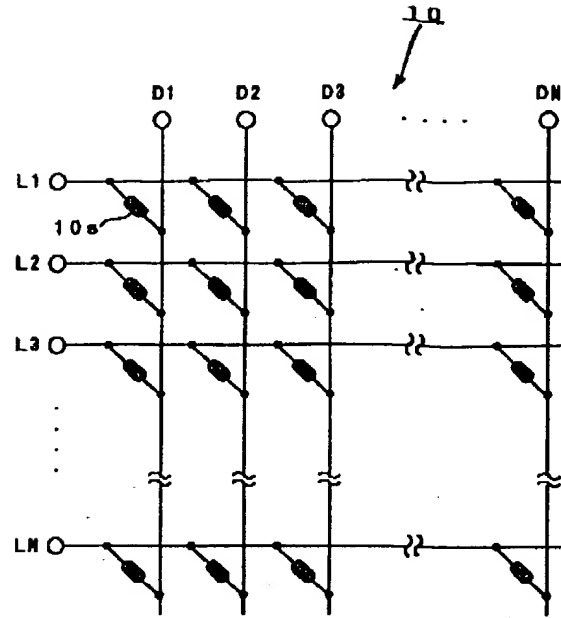
【図8】



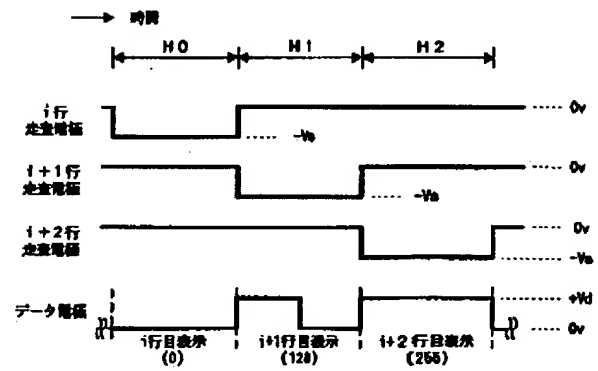
【図10】



【図6】



【図9】



【図11】

